

303.326us2

1/9/1

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02817562 \*\*Image available\*\*

**THIN FILM TRANSISTOR AND MANUFACTURE THEREOF**

PUB. NO.: 01-115162 JP 1115162 A]

PUBLISHED: May 08, 1989 (19890508)

INVENTOR(s): HIRAO TAKASHI

SETSUNE KENTARO

YOSHIDA TETSUHISA

KAMATA TAKESHI

APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company  
or Corporation), JP (Japan)

APPL. NO.: 62-271865 [JP 87271865]

FILED: October 29, 1987 (19871029)

INTL CLASS: [4] H01L-029/78; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R044 (CHEMISTRY -- Photosensitive  
Resins); R096 (ELECTRONIC MATERIALS -- Glass Conductors);  
R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS)

JOURNAL: Section: E, Section No. 803, Vol. 13, No. 356, Pg. 17, August  
09, 1989 (19890809)

**ABSTRACT**

PURPOSE: To reduce any leakage current while improving the heat resistance  
by a method wherein the optical forbidden band width ( $E_g$ ) of an amorphous  
semiconductor is specified to exceed 1.9 eV i.e.  $E_g \geq 1.9$  eV.

CONSTITUTION: An opaque gate electrode 2 is formed and then a gate  
insulating film 3, an amorphous silicon carbide or amorphous silicon  
nitride layer 4 of  $E_g \geq 1.9$  eV and a passivation insulating film 5 are  
successively formed on a glass substrate 1. Next, the overall surface is  
coated with a light sensitive resin film 6 and then the film 6 is exposed  
by rear side exposure process from the rear side of the glass substrate 1  
to leave the same pattern as that of the gate electrode 2 for removing the  
passivation film 5 using the pattern as a mask. Finally, III or V group ion  
is implanted using the passivation film 5 as a mask to form a source.drain  
region. Through these procedures, any leakage current can be reduced while  
improving the heat resistance.

?

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平1-115162

⑫ Int. Cl.

H 01 L 29/78  
27/12

識別記号

311

庁内整理番号

Z-7925-5F  
7514-5F

⑬ 公開 平成1年(1989)5月8日

審査請求 未請求 発明の数 2 (全3頁)

⑭ 発明の名称 薄膜トランジスタ及びその製造方法

⑮ 特 願 昭62-271865

⑯ 出 願 昭62(1987)10月29日

⑰ 発 明 者	平 尾 孝	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	瀬 恒 謙 太 郎	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発 明 者	吉 田 哲 久	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑳ 発 明 者	雄 田 隆	大阪府門真市大字門真1006番地	松下電器産業株式会社内
㉑ 出 願 人	松下電器産業株式会社	大阪府門真市大字門真1006番地	
㉒ 代 理 人	弁理士 星野 恒 司	外 1 名	

要 約

1. 発明の名称

薄膜トランジスタ及びその製造方法

2. 特許請求の範囲

(1) シリコンを主要な構成元素とし、非晶質半導体を活性層とする薄膜トランジスタにおいて、前記半導体の光学的禁止帯幅 ( $E_g$ ) が  $E_g = 1.9 \text{ eV}$  以上であることを特徴とする薄膜トランジスタ。

(2) 上記非晶半導体材料がアモルファスシリコンカーバイト、アモルファスシリコンナイトライドのいずれかである形を特徴とする特許請求の範囲第(1)項に記載の薄膜トランジスタ。

(3) ガラス基板上に、光を透過させないゲート電極を形成した後、ゲート絶縁層、 $E_g \geq 1.9 \text{ eV}$  の非晶質半導体層、パッシベーション絶縁層を順次形成する工程と、しかる後電光変換絶縁層を形成した後、前記ガラス基板裏面からの背面照明で、前記電光変換絶縁層を露光し、

ゲート電極と同一パターンを形成される工程と、このパターンをマスクとして前記パッシベーション層を除去する工程と、前記パッシベーション層をマスクとして、露光或いはV型イオンを導入し、ソース・ドレイン領域を形成する工程とを含むことを特徴とする薄膜トランジスタの製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は液晶テレビ用薄膜トランジスタアレイ等にも用いられる薄膜トランジスタ及びその製造方法に関する。

(従来の技術)

従来液晶テレビ用の薄膜トランジスタとして用いられているものとしてはアモルファスシリコンを用いたものが代表的である。第2図に本発明と対応すべき従来の素子構造を示してある。N1Cpをゲート電極12とする逆スタガ構造の薄膜トランジスタの断面図である。11はガラス基板で、13は  $\text{SiN}$  (水素化アモルファスシリコンナイトライド)、14は  $\text{Si}$  (水素化アモルファ

スシリコン)膜でこれらはプラズマCVD装置を用いて逐層的に成長させている。15はオーミックコンタクト用の $n^+a-Si$ 膜で、16は $Ti/NiCr$ 電極である。ソース・ドレイン電極となる15、16は背面露光を用いている。

(発明が解決しようとする問題点)

前記の従来の技術に於いて、背面露光法を用いて自己整合的にソース・ドレインを形成するとき、光は前記アモルファスシリコン $a-Si$ 14を透過してその上部の感光性樹脂被膜を感光する必要がある。

しかし、通常アモルファスシリコン $a-Si$ の光学的禁止帯幅は1.7~1.8eVであるから、通常用いられている露光装置の光線で感光性樹脂被膜を感光されるためには露光時の露光が必要でスループットが極めて低い。このため $a-Si$ 14の厚さを100~1000Åの如く薄くしてできるだけ透過する光量を多くするようにしている。しかし、あまり薄くするとV、 $\alpha$ ドレイン電流の発現性に問題がでてくる。

パッシベーション膜をマスクとして、電極膜はV膜イオンを注入し、ソース・ドレイン領域を形成する工程とを有する方法である。

(作用)

ゲート電極をマスクとする背面露光でゲート電極と自己整合的にソース及びドレインを形成するためには被膜上の感光性樹脂被膜に十分光が届く必要がある。光の透過を妨げるものはアモルファスシリコン $a-Si$ による光吸収である。従って、本発明は、光学的禁止帯幅1.9eV以上の半導体すなわちアモルファスシリコン $a-Si$ 自体の光学的禁止帯幅を大きくするか光学的禁止帯幅の大きい材料であるアモルファスシリコンカーバイド $a-SiC$ 膜またはアモルファスシリコンナイトライド $a-Si_3N_4$ のいずれかを用いる。本発明によれば、背面露光により、ゲート電極とソース、ドレインを自己整合で同時に形成でき、高性能な薄膜トランジスタを得ることが可能となる。

(実施例)

近接露光として $SiC$ を用いた場合について説明

本発明は上記問題点を解決するためのもので、ソース・ドレイン間のリーク電流の低減あるいは耐熱性向上等のための手段、構造を有する薄膜トランジスタ及びその製造方法を提供することを目的とするものである。

(問題点を解決するための手段)

本発明は、上記目的を達成するために、シリコンを主要な構成元素とし、非晶質半導体を活性層とする薄膜トランジスタにおいて、前記半導体の光学的禁止帯幅( $E_g$ )が $E_g=1.9$ eV以上とするものである。

また、本発明の製造方法は、ガラス基板上に、光を透過させないゲート電極を形成した後、ゲート絶縁膜、 $E_g \geq 1.9$ eVの非晶質半導体層、パッシベーション絶縁層を順次形成する工程と、しかる後感光性樹脂被膜を塗布した後、前記ガラス基板裏面からの背面露光法で、前記感光性樹脂被膜を露光し、ゲート電極と同一パターンを露光される工程と、このパターンをマスクとして前記パッシベーション膜を露光する工程と、前記パッシベ

する。図1図Aにおいて1はガラス基板、2はゲートとなる $Cr$ 電極である。ゲート電極2を選択形成後、例えばプラズマCVD法でゲート絶縁膜となるシリコン窒化(シリコンナイトライド、 $SiH_4$ )膜3を2000Å、絶縁膜となる $a-SiC$ (アモルファスシリコンカーバイド)膜4を800Å及びパッシベーション膜となるシリコン窒化膜( $SiH_4$ )5を3000Å逐層的に形成する。光学的禁止帯幅 $E_g$ が1.9eV以上であり絶縁膜となる $SiC$ 膜はプラズマCVD法又は $SiH_4$ プラズマCVD法で、例えば $SiH_4$ と $CH_4$ を用いて形成することができる。しかる後、全面に感光性樹脂被膜6を全面に塗布した後、ガラス基板上から、前記ゲート電極2をマスクとして光を用いて露光被膜6を露光し、図1図Bに示すように前記ゲート電極2と同一形状に前記被膜6のパターン8を露光させたま(第1図B)、前記パターン8をマスクとしてパッシベーション膜5を露光的に露光して図5のパターン9を形成する(第1図C)。しかる後、前記パターン8を除去後、露光するパッシベーション

図パターン5aをマスクとしてイオンシャワードレーピング法によりリンPを導入し、ソース・ドレイン領域16, 17を形成した後、第1図Eに示すごとくアモルファスシリコンカーバイドa-SiCの島領域を形成する。その後、例えばアルミニウムを蒸着し、ソース・ドレイン領域等の電極18, 19を形成する事により素子が完成する。なお、オーミック性を改善するため、第1図Cは第1図Dのうち、P-CVD法でn<sup>+</sup>a-Si膜を形成してもよい。また、アモルファスシリコンカーバイドa-SiC膜4の代わりに、アモルファスシリコンナイトライドa-SiNを用いてもよく、あるいはアモルファスシリコンa-Siの光学的防止膜高の膜でもよい。

#### (発明の効果)

本発明の薄膜トランジスタによれば、背面透光にて確實にソース・ドレインを形成することができ、ゲート領域と同じ厚みのパッシベーション膜を形成し、それをマスクとしてアモルファスシリコンカーバイドa-SiC等の非晶質膜に不純物を

導入することが出来るため、ゲート電極とソース・ドレイン領域との接合による寄生がなくなり、寄生容量による遅延等を除外ができる。

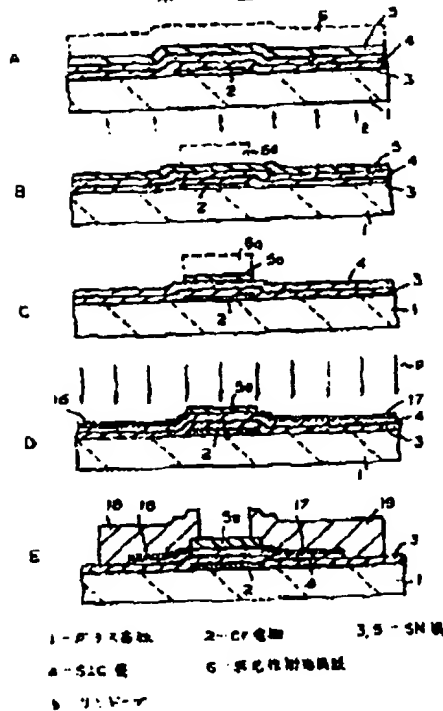
又本発明の製造方法によれば、背面透光法が工程に有利に用いられるため、工程数の短縮化にもつながるだけでなく、光学的防止容量が大きく半導体膜を用いるため、リーク電流の減少、薄膜下の耐熱性、更にアモルファスシリコンカーバイドa-SiCにおいて特に暴露部の肉上りが可視となる。

#### 4. 図面の簡単な説明

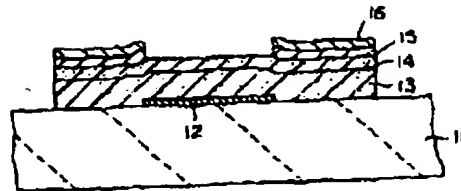
第1図は本発明の一方例における薄膜トランジスタの製造プロセス断面図、第2図は従来の自己整合型4-Siトランジスタの断面図である。

- 1 … ガラス基板、2 … ゲート電極  
(Cr電極)、3 … ゲート絶縁膜、4 …  
a-SiC膜、5 … パッシベーション膜、  
6 … 透光性絶縁膜。

第 1 図



第 2 図



JP 01-115162  
303.356us1

1/9/1

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02817562 \*\*Image available\*\*

**THIN FILM TRANSISTOR AND MANUFACTURE THEREOF**

PUB. NO.: 01-115162 [J P 1115162 A]  
PUBLISHED: May 08, 1989 (19890508)  
INVENTOR(s): HIRAO TAKASHI  
SETSUNE KENTARO  
YOSHIDA TETSUHIKA  
KAMATA TAKESHI  
APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company  
or Corporation), JP (Japan)  
APPL. NO.: 62-271865 [JP 87271865]  
FILED: October 29, 1987 (19871029)  
INTL CLASS: [4] H01L-029/78; H01L-027/12  
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)  
JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R044 (CHEMISTRY -- Photosensitive  
Resins); R096 (ELECTRONIC MATERIALS -- Glass Conductors);  
R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS)  
JOURNAL: Section: E, Section No. 803, Vol. 13, No. 356, Pg. 17, August  
09, 1989 (19890809)

**ABSTRACT**

PURPOSE: To reduce any leakage current while improving the heat resistance by a method wherein the optical forbidden band width ( $E_g$ ) of an amorphous semiconductor is specified to exceed 1.9 eV i.e.  $E_g \geq 1.9$  eV.

CONSTITUTION: An opaque gate electrode 2 is formed and then a gate insulating film 3, an amorphous silicon carbide or amorphous silicon nitride layer 4 of  $E_g \geq 1.9$  eV and a passivation insulating film 5 are successively formed on a glass substrate 1. Next, the overall surface is coated with a light sensitive resin film 6 and then the film 6 is exposed by rear side exposure process from the rear side of the glass substrate 1 to leave the same pattern as that of the gate electrode 2 for removing the passivation film 5 using the pattern as a mask. Finally, III or V group ion is implanted using the passivation film 5 as a mask to form a source/drain region. Through these procedures, any leakage current can be reduced while improving the heat resistance.